

© EPODOC / EPO

PN - JP61212061 A 19860920  
PD - 1986-09-20  
PR - JP19850051604 19850316  
OPD - 1985-03-16  
TI - SEMICONDUCTOR DEVICE  
IN - SHIRAKI YASUHIRO; ISHIZAKA AKITOSHI; NAKAGAWA KIYOKAZU;  
OOSHIMA TAKU  
PA - AGENCY IND SCIENCE TECHN  
EC - H01L29/423B ; H01L29/732 ; H01L29/772B  
IC - H01L29/72 ; H01L29/80  
CT - JP58087865 A [ ]; JP58158455B B [ ]; JP58093373 A [ ]  
© WPI / DERWENT

TI - High speed silicon bipolar transistor - has metal electrode attached  
to base, emitter and collector, preventing increase of base  
impedance due to thin base film NoAbstract Dwg1/2  
PR - JP19850051604 19850316  
PN - JP61212061 A 19860920 DW198644 004pp  
PA - (AGEN ) AGENCY OF IND SCI & TECHNOLOGY  
IC - H01L29/72  
OPD - 1985-03-16  
AN - 1986-288711 [44]

© PAJ / JPO

PN - JP61212061 A 19860920  
PD - 1986-09-20  
AP - JP19850051604 19850316  
IN - SHIRAKI YASUHIRO; others:03  
PA - AGENCY OF IND SCIENCE & TECHNOL  
TI - SEMICONDUCTOR DEVICE  
AB - PURPOSE: To provide a transistor having an excellent high speed  
characteristic and considerably reduced base resistance, by  
providing a flush type of metal to be in contact with the base.  
- CONSTITUTION: An N-type Si layer 22 serving as a collector, P-type  
semiconductor layer 23 serving as a base, and NiSi<sub>2</sub> layer 24  
serving as a metal electrode region are grown on an Si substrate  
21 using a molecular beam epitaxy (MBE), and the unnecessary  
NiSi<sub>2</sub> film is removed by ion milling. Moreover, a P-type  
semiconductor layer 25 and N-type semiconductor layer 26 serving

as an emitter layer are formed by MBE. Element separation is done, and an insulating layer 30, emitter electrode 27, base electrode 28 and collector electrode are formed. As compared with a prior bi-polar transistor, the base resistance can be reduced to about 1/5 and the cut-off frequency can be increased by a factor of two.

I - H01L29/72 ;H01L29/80

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-212061

⑫ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)9月20日

H 01 L 29/72  
29/80

8526-5F  
7925-5F

審査請求 有 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭60-51604

⑯ 出 願 昭60(1985)3月16日

⑰ 発 明 者 白 木 靖 寛 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑱ 発 明 者 石 坂 彰 利 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑲ 発 明 者 中 川 清 和 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑳ 発 明 者 大 嶋 卓 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
㉑ 出 願 人 工 業 技 術 院 長

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. エミッタ領域、ベース領域およびコレクタ領域が順次積層して設けられ、当該各領域はシリコンより成り、且前記ベース領域に接してニッケル又はコバルト、或いはその混合物のシリサイドからなる金属電極領域を有することを特徴とする半導体装置。

2. 前記シリサイド金属電極領域は前記ベース領域とオーミック接触し、且エミッタ領域又はコレクタ領域とはショットキ障壁を形成して接触していることを特徴とする特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

〔発明の利用分野〕

本発明は、超高速半導体素子、特にシリコン系の超高速素子を提供するものである。

〔発明の背景〕

新しい超高速素子として、半導体結晶中に樹状

の金属層を埋め込んだ第1図に示すようなパーミアブル・ベース・トランジスタが提案され試作されている(たとえばシー・オー・ボズラー、ジー・ディー・アレイ;アイイーイーイー トランザクション エレクトロン デバイス(C.O. Bozler and G.D. Alley; I E E E Trans. Electron Devices), ED-27 1128 (1980))。

図において、10はベース領域、11はコレクタ、12はメタルベース、13はエミッタ、14は裏面金属電極である。この種のものは電子の走行距離が非常に短いために高速化に有利な素子であるが、埋め込み金属12の線幅のバラツキがトランジスタの動作電圧に大きな影響を与えるため、いわゆる閾値制御がむずかしいという欠点がある。そこでコレーマーによって、本金属層を制御電極としてではなく、バイポーラ・トランジスタのベース層用埋め込み配線として利用することが、提案されている(エイッチ・コレーマー;ジャーナル オブ ヴァキューム サイエンス アンド テ

クノロジー (H. Kroemer; J. Vac. Sci. Technol. B 1, 126 (1983))。バイポーラ・トランジスタの場合には p-n 接合のビルトイン・ポテンシャルで閾値電圧は決るので、配線の線幅のバラツキはほとんど影響を及ぼさない。金属膜の抵抗は半導体に比して低いので、ベース幅を狭くしてもベース抵抗を低く保てるため、高速化が可能である。しかしながら、このような素子を実現する手段は GaAs を用いたパーミアブル・ベース・トランジスタの例が知られている程度であり、コレーマーの提案を実現できる方法は開発されていない。

#### 〔発明の目的〕

本発明の目的はベース部にメタルを埋め込み型で接触させ、ベース抵抗を大幅に低減させることにより、高速特性に優れたトランジスタを提供することにある。

#### 〔発明の概要〕

本発明の要旨は、半導体材料としてシリコンを用い、金属材料としてニッケルまたはコバルトあ

るいはその混合物を用いることにより、バイポーラトランジスタのベース部に金属配線を有するトランジスタを実現可能にするものである。

その構成は次の通りである。

即ち、エミッタ領域、ベース領域およびコレクタ領域が順次接して設けられ、当該各領域はシリコンより成り、且前記ベース領域に接してニッケル又はコバルト、或いはその混合物のシリサイドからなる金属電極領域を有せしめるものである。

また、一般には前記シリサイド金属電極領域は前記ベース領域とオーミック接触し、且エミッタ領域又はコレクタ領域とはショットキ障壁を形成して接触している。

前述のシリサイド金属電極は、通常ストライプ状、格子状等複数の活性領域相当部分を開孔して設けられる。

シリコン上の  $\text{NiSi}_2$ 、 $\text{CoSi}_2$  又はこの混晶はエピタキシャル成長させることが可能である。特に分子線エピタキシー (MBE) 法を用いると良質のエピタキシャル膜をうることができる。本

発明においてはこの MBE 法の特性を利用することによって当該半導体装置を実現出来る。以下実施例において、本発明の詳細を説明する。

#### 〔発明の実施例〕

以下、本発明の特徴を第 2 図を参照し、実施例によって説明する。

##### 実施例 1

まず、化学洗浄を行った、 $\text{Si}(111)$  基板 21 を分子線エピタキシー装置へ導入し、超高真空中で、熱処理により、 $\text{Si}$  清浄表面を作成する (第 2 図(a))。  $\text{Si}$  の結晶面としては (111) 面が最良である。(100) 面も好ましい。なお、分子線エピタキシー装置とは、到達真空度が  $10^{-9}$  Torr 以下であり、蒸発源としておのおのの独立の複数の分子線ないし原子線の発生源を有する蒸着装置の一種である。本実施例で用いた分子線エピタキシー装置は、到達真空度が、 $5 \times 10^{-11}$  Torr で、蒸発源として、 $\text{Si}$ 、 $\text{Ni}$ 、および  $\text{C}$ 。用にそれぞれ別個の電子銃を有するものである。

次に表面を清浄化した  $\text{Si}$  基板の温度を約  $700^\circ\text{C}$  に設定し、温度が一定になった時点から  $\text{Si}_2$  の成長を開始する。この際、 $n$  型になるように、 $\text{Sb}$  を同時に分子線源より供給するが、これはリン (P) や砒素 (As) であってもかまわない。あるいはイオン化した不純物であってもよい。この  $n$  型不純物の濃度は  $10^{18} \text{cm}^{-3}$  程度である。膜厚が  $1 \mu\text{m}$  に達したところで、 $\text{Sb}$  分子線源の温度を低下し、濃度  $10^{18} \text{cm}^{-3}$ 、幅  $0.3 \mu\text{m}$  の  $n$  型層を成長した後、 $\text{Sb}$  のシャッターを閉じ、 $\text{Ga}$  分子線源のシャッターを開き、ベース領域となる  $p$  型半導体層 23 を成長する。この際、 $\text{Ga}$  のかわりに  $\text{B}$  分子線あるいはイオン線を用いてもよい。この  $p$  型半導体層 23 の不純物濃度は  $10^{18} \text{cm}^{-3}$  程度である。この層を  $0.1 \mu\text{m}$  厚成長させた後、 $\text{Ga}$  分子線源のシャッターを閉じる。

次に  $\text{NiSi}_2$  層 24 を成長させるべく、まず基板温度をほぼ  $550^\circ\text{C}$  に設定し、 $\text{Ni}$  と  $\text{Si}$  のビーム強度がほぼ  $1:2$  になるように設定した後、 $\text{NiSi}_2$  膜の成長を行う。 $\text{NiSi}_2$  膜厚がほぼ

0.1  $\mu\text{m}$ になったところで膜成長を停止する(第2図(b))。

次に試料をMBE装置より取出した後、 $\text{NiSi}_2$ 膜の加工を行う。まず電子線描画法により、 $\text{NiSi}_2$ 膜の幅および間隔を約0.4  $\mu\text{m}$ になるよう描画した後、イオンミリング法により不要な $\text{NiSi}_2$ 膜を除去する(第2図(c))。次に試料を十分洗浄した後、再びMBE装置内に導入し、まずSiビームにより表面クリーニングを施す。再び基板温度約650℃でp型半導体層25を100Å程度成長させる。このp型半導体層は必ずしも必要ではないが、この上に成長させるn型半導体層26とシリサイド層間に十分障壁が形成できるようにするためのものである。

次にドーパントをGaからSbに切りかえ、エミッタ層となるべきn型半導体層26を形成する(第2図(d))。この時の不純物濃度は $5 \times 10^{18} \text{cm}^{-3}$ 、膜厚は0.2  $\mu\text{m}$ である。

こうして準備した半導体基板をMBE装置より取出した後、通常のバイポーラトランジスタと同

様のプロセスにより、素子分離、電極形成を行い、素子作製が完了する。第2図(e)はこれまでの第2図(a)~(d)に示された断面とは直角方向の断面を示している。30は絶縁層、27はエミッタ電極、28はベース電極、29はコレクタ電極を示している。

このようにして作製されたバイポーラトランジスタは、 $\text{NiSi}_2$ 膜層24を除いて他はすべて同じ構造を有する従来型のバイポーラトランジスタに較べて、ベース抵抗はほぼ1/5となり、この結果しや断周波数は2倍となり高速性能の向上がみられた。

#### 実施例2

本実施例では制御電極部を固相エピタキシャル法を用い、シリサイド膜が完全に基板Siと同じ結晶方位になる場合について述べる。

基本的な方法は実施例1に記載したものと同様の方法であるので、シリサイド膜の形成に関する点について説明する。

コレクタとなるべきn型層22を成長させた後

基板温度をほぼ室温に低下させる。次に、Niの量を約20Å成長した後、基板を再び450℃以上に加熱してNiとSiとを反応せしめ $\text{Ni-Si}_2$ 膜を成長する。この反応により、Si基板上に結晶粒のそろった単結晶 $\text{NiSi}_2$ の薄層が形成される。次に基板温度を550℃に設定しNiビームを蒸着すると前述の $\text{NiSi}_2$ が結晶成長の種となり $\text{NiSi}_2$ 膜を約1000Å成長させることができる。この $\text{NiSi}_2$ 膜を制御用電極として使うわけだが、以下は実施例1と同様のプロセスにより素子を作製せしめる。

このようにして作製した素子のベース抵抗は実施例1の場合とほぼ同じであり、同様の性能改善がみられた。

#### 実施例3

前実施例ではシリサイド膜として $\text{NiSi}_2$ 膜を用いたが、シリサイド膜の表面平坦性を向上させるためにはCoとNiの混晶を用いるとさらによいので、以下その実施例を示す。本例もシリサイド膜の形成方法を主として説明する。

前実施例と同様の装置および基板処理方法にて表面をクリーニングしたSi(111)面上に所定の半導体層を成長せしめ、次いでSi、NiおよびCoの分子線を照射した。この時、基板温度は約550℃であり、シリサイド膜の成長速度は1~10Å/sec内になるように設定した。また、NiとCoの強度比は0.05~0.95の間に設定すればよいが、特に、Coが10~50%程度になるようにして成長するのが望ましい。また、金属ビームとSiビームとの強度比は、0.5~0.25の間になるように設定した。このようにして、シリサイド膜を0.1  $\mu\text{m}$ になったところで膜成長を停止する。

次に試料をMBE装置より取出した後、実施例1と同様に、電子線描画、イオンミリング法等により制御電極としての加工を施す。そして再びMBE装置内に導入して実施例1と同様の半導体層の成長を行った後、トランジスタとして完成させた。

このようにして作製したバイポーラトランジス

タは従来型のものにくらべてベース抵抗はほぼ  
1/5となり、しゃ断周波数はほぼ2倍になり高  
速性能の向上がみられた。

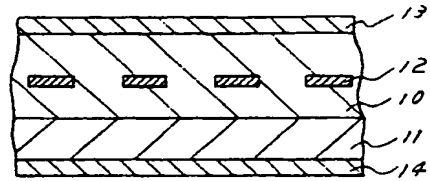
(発明の効果)

本発明により、シリコンバイポーラトランジス  
タにおいて、ベース層厚を薄くした場合に生ずる  
ベース抵抗の増大を妨げ、その結果、トランジス  
タ特性の特に高速性に2倍以上の改善がみられた。

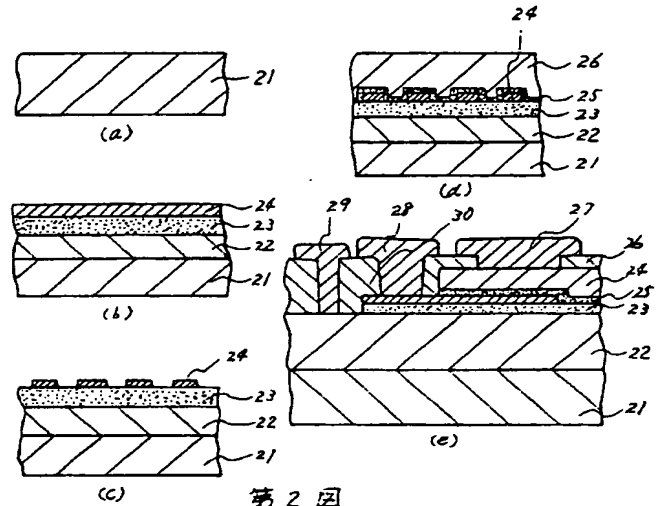
図面の簡単な説明

第1図はパーミアブルベーストランジスタの断  
面図、第2図は本発明のトランジスタの作製工程  
と完成後の装置を示す断面図である。

11:コレクタ領域、12:メタルベース、  
13:エミッタ領域、21:Si基板、22:コ  
レクタ用n型Si層、23:ベース用p型Si層、  
24:NiSi<sub>3</sub>膜、25:p型層、26:エミッ  
タ用n型Si層、27:エミッタ電極、28:ベ  
ース電極、29:コレクタ電極。



第1図



第2図

